



**あらまし** 現在では **PLL (Phase Locked Loop)** の技術は テレビ、パソコン、携帯電話 のみならず 様々な 製品に用いられていることは言うまでもない。  
また、PLL 技術の発展は PLL 回路の LSI 化 によって 加速され、今では PLL すべての機能が一つの IC に入っており、ブラックボックス化している。

さらに、**周波数シンセサイザ** 用の PLL IC においても シリアルデータ入力型 となり 小型化し、動作周波数も 数 GHz を直接入力でき、ループフィルタの定数を間違いなく求めれば、GHz 帯の周波数シンセサイザを小さくそして容易に作ることが可能な時代となった。

しかしながら、PLL 回路の安定性は もちろん 周波数切換え スピード、低位相雑音、スプリアス抑圧度 等の性能が重要視され 性能向上が 益々 要求されてきていることも事実である。

シングルループ PLL においても その最高性能を引き出すには PLL の最適化 設計が必要であるし、多重ループ PLL を構築するに当たっては さらに PLL についての知識が必要となるのは確かである。

ここでは、**PLL (Phase Locked Loop)** の動作を **頭の中で描けるよう** に、伝達関数 や ボード線図 を用いた PLL 解析 前の準備段階として PLL の原理を、PLL を構成する回路の動作を やさしく 解説する。

また 高周波 **周波数シンセサイザ PLL** としての **基本動作**、基本回路構成 についても 述べる。

## ■ 1. PLL の基本構成 と 動作原理

**PLL** とは、**Phase Locked Loop** の略語であり、**周波数負帰還回路** を構成する。

図-1 には その 基本構成図 を示す。

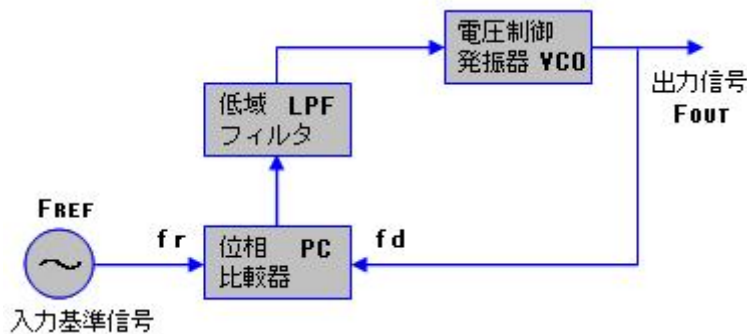


図-1. PLL の基本構成図

PLL は、位相比較器 (**PC** : Phase Compalator), ループフィルタ (または ローパスフィルタ **LPF**), 電圧制御発振器 (**VCO** : Voltage Contorolled Oscillator) 及び 入力基準信号 **FREF** から構成される。

ここで、PLL の基本動作を 文書 で 説明すると 次のようになる。

1. PLL が ロックしている状態  $fr = fd$  から 入力基準信号より VCO の出力周波数が 高くなる。
- ↓
2. 位相比較器 **PC** の出力に 誤差信号パルス が 発生する。
- ↓
3. 低域フィルタ **LPF** を通過することによって 直流電圧となる。
- ↓
4. この直流電圧は、誤差信号に比例し VCO の出力周波数が 低くなる値となる。
- ↓
5. VCO の出力周波数が 下がり、 $fr = fd$  の状態に戻る。

このように PLL は、常に  $fr = fd$  の状態を 保つように働いてくれる 優れたものである。

もう少し具体的に説明を試みると、

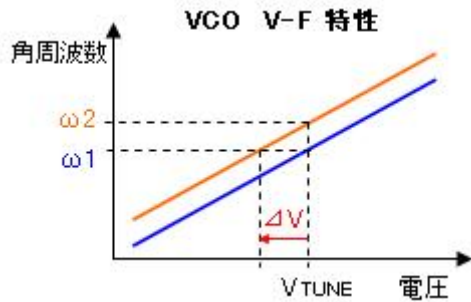


図-2. VCO の V-F特性

図-2 は **VCO** の V-F 特性を示すが、ここで **VCO** は その制御電圧 が上がると 出力周波数も 高くなる特性となっている。

今、**VCO** は 青線 に示す特性で 動いており、基準信号と同じ  $\omega_1$  の周波数で ロック され、制御電圧は  $V_{TUNE}$  となっているとする。

さて、温度変化 や 経時 によって **VCO** の特性が オレンジ線 のように変わったとする。すると **VCO** 制御電圧が  $V_{TUNE}$  で  $\omega_1$  の周波数が  $\omega_2$  と 高くなってしまふ。

そこで **PLL** は 基準信号と同じ  $\omega_1$  の周波数に 戻す方向に 位相誤差電圧  $\Delta V$  を **VCO** への 制御電圧として 加え **VCO** の特性が変わっても 出力周波数を同じに、自動制御してくれる。

図-3 は この時の **PLL** 回路の **VCO** 制御特性を 図示したもので、**VCO** の V-F 特性 と 極性が 反対になり、**VCO** の発振 周波数を制御することがわかる。



図-3. PLL VCO への 制御特性

## ■ 2. PLL の動作波形

次に、PLL の動作波形を 時間軸での 動きから 考えて見る。

ここで、はじめに **VCO** が ある周波数で ロックされずに フリーラン発振しているとする。そして 基準信号が、フリーラン発振より 高い周波数が 入力されたとする。

すると 位相比較器 **PC** の出力には 図-4 上図 のような 位相差に比例した 誤差信号パルス が 発生する。

しかし この出力は パルス的で 高調波成分を多く含んでいるので、低域フィルタ **LPF** を通して 積分すると、図-4 下図 のような **VCO** コントロール電圧となり、ロック状態へと導かれる。

結果として **VFree** 電圧より 数ボルト 高い **VLock** 電圧で ロック状態となる。

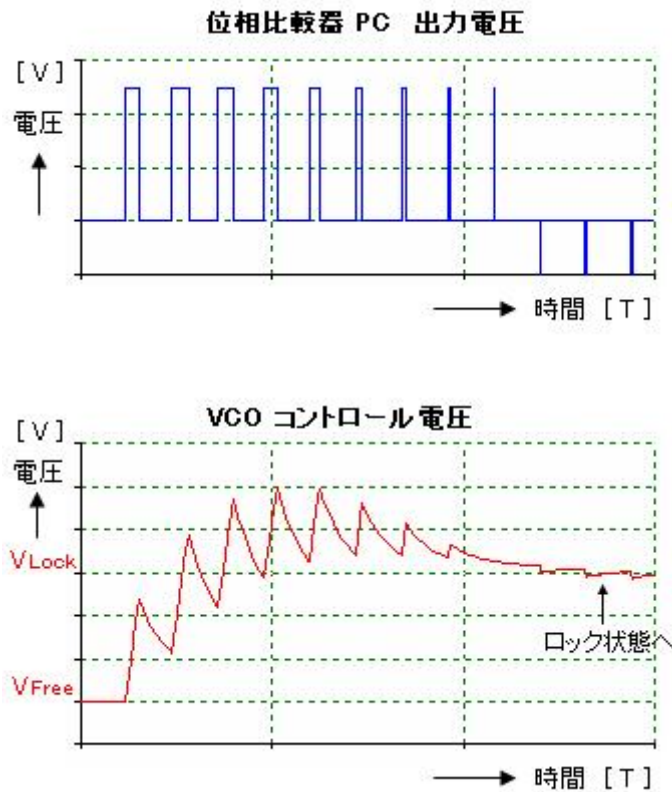


図-4. PLL の時間軸特性

さて、これらの PLL 動作波形から明らかなように PLL での低域フィルタ LPF の重要性が認識できる。もし低域フィルタ LPF がなければ VCO は、誤差信号パルスで変調を受け PLL はロック状態とはならない。

また LPF の定数が適切でなくても、ロック状態とならない、ロック状態が不安定である、ロック状態までに時間がかかるなどの弊害となることが理解できる。

PLL にとって LPF の定数の設定、ループフィルタの設計が PLL の性能を左右することになり、最重要となる。

### ■ 3. PLL 周波数シンセサイザの基本

ここからは周波数シンセサイザとしての PLL 回路について述べる。

周波数シンセサイザすなわち周波数を新たに作るということであれば、図-1 の PLL 基本構成図は周波数シンセサイザとは言えないかも知れない。

図-5 の PLL 周波数シンセサイザの基本構成は、図-1 の電圧制御発振器 VCO と位相比較器 PC の間に分周器  $1/N$  を挿入したものとなっている。

ゆえに電圧制御発振器 VCO の出力周波数を  $F_{out}$  とすると次式が成り立つことになる。

$$fd = F_{out} / N$$

そして PLL が構成されることによって  $fd = fr$  式が成り立つので

$$F_{out} = fr \times N \quad \text{式となる。}$$

すなわち出力信号周波数  $F_{out}$  は、基準信号周波数  $fr$  の  $N$  倍となり、周波数シンセサイザとして動くことになる。

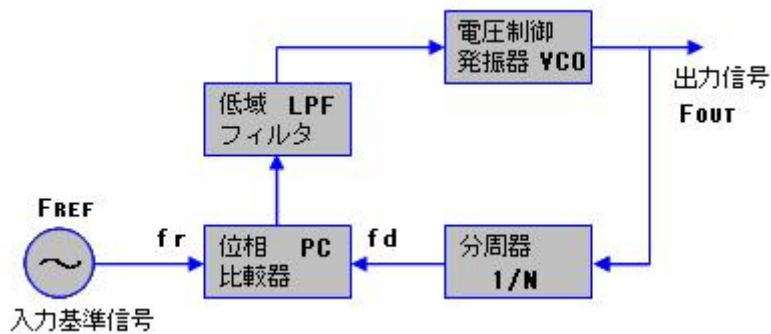


図-5. PLL 周波数シンセサイザの基本構成

例えば、ここで入力基準信号として **1MHz** の周波数安定度の良い水晶発振器を準備しよう。電圧制御発振器 **VCO** は LC 発振器で安定度は良くないが、**200MHz** の発振が可能である。

分周器 **1/N** を **1/200** とすれば、**1MHz** を **200MHz** にする周波数シンセサイザによる  $\times 200$  倍回路を得ることができる。

そして安定度の悪い LC 発振器 **VCO** の出力は、水晶発振器と同じ周波数安定度に置き換えられるのである。

#### ■ 4. プログラマブル デバイダ を備えた PLL 周波数シンセサイザ

次に、**1/N** 分周器 を 可変分周器 **プログラマブル デバイダ** とした PLL 周波数シンセサイザ について考える。

基本形 PLL 周波数シンセサイザ の周波数関係は、 $f_d = f_r$  式が成り立つので

$$F_{out} = f_r \times N \quad \text{であった。}$$

図-6 に示す **プログラマブル デバイダ** を備えた PLL 周波数シンセサイザ で、その状態から **N** の値を **1** 変えると PLL ループ は 変化した **f<sub>d</sub>** の周波数を **f<sub>r</sub>** と同じになるように働く。

ゆえに

$$F_{out} = f_r \times (N + 1) \quad \text{となる。}$$

したがって 出力周波数 **F<sub>out</sub>** は 基準周波数 **f<sub>r</sub>** 分だけ変化することになる。

**N** の値を さらに **1** ステップ ずつ変えることにより、**f<sub>r</sub>** ステップ する周波数シンセサイザ となる。

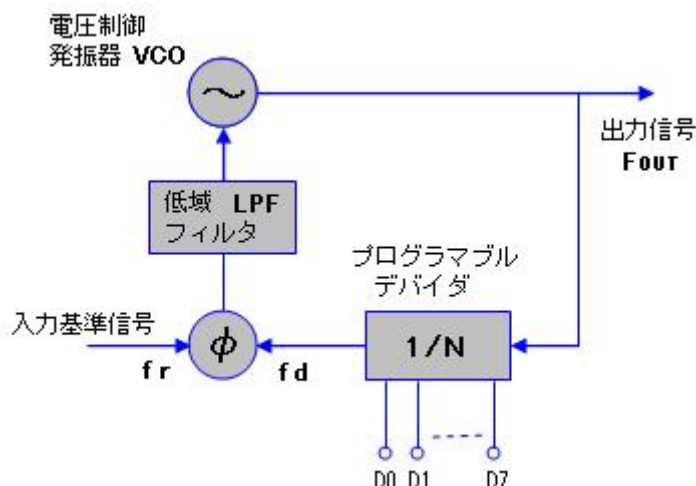


図-6. プログラマブル デバイダを備えた PLL 周波数シンセサイザ

例えば、入力基準信号  $f_r$  を **1MHz** として分周器 **N** の値を **200** 固定の場合は **200MHz** だけの発振が可能となったが、ここで分周器を **プログラマブル デバイダ** として **N** の値を **201, 202 - - -** と可変すれば、**201MHz, 202MHz - - -** という入力基準周波数  $f_r = 1\text{MHz}$  ステップする周波数シンセサイザを得ることになる。

このように PLL 周波数シンセサイザの分周器を **プログラマブル デバイダ** とすることによって、その応用範囲は大きく広がることになる。

さて、**プログラマブル デバイダ** はロジック回路で組まれたカウンタ回路であるため、その動作周波数に限界があり、数 GHz の周波数を直接分周することは難しい。

そこで電圧制御発振器 **VCO** と **プログラマブル デバイダ** の間に周波数を下げる回路を周波数変換回路を挿入することになる。

ミキサを用いて周波数変換する方法もあるのだが、トレードオフ的な性能面など話が複雑化するので、ここでは前置分周器 **プリスケーラ** による方法の紹介までとする。

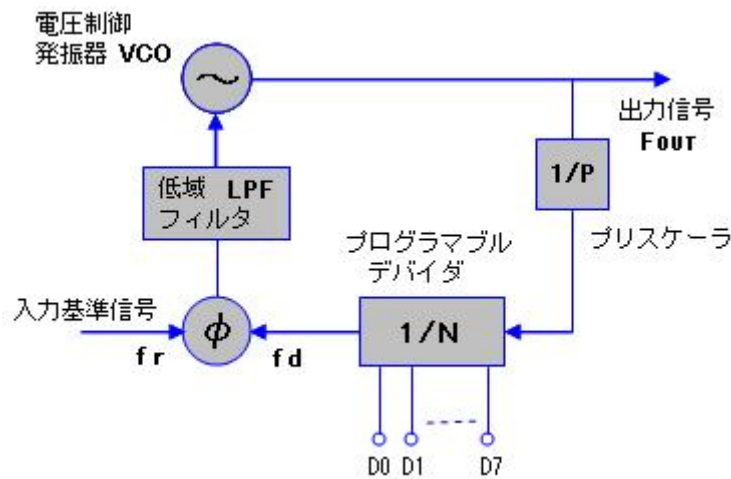


図-7. プリスケーラ方式 PLL 周波数シンセサイザ

図-7 に示すように電圧制御発振器 **VCO** の周波数を分周可能な前置分周器 **プリスケーラ 1/P** を挿入して **プログラマブル デバイダ** が十分に動作する周波数として **PLL** を構成する。

したがって出力周波数  $F_{out}$  は

$$F_{out} = f_r \times N \times P \quad \text{となる。}$$

このように高速動作する **プリスケーラ** を用いることによって高周波 **VCO** を **プログラマブル デバイダ** で容易に周波数を制御できるようになる。

しかし、この **プリスケーラ** を挿入することによって次の問題を考えなければならない。すなわち **プリスケーラ** を挿入することによって周波数ステップが **プリスケーラ** の分周比が大きくなる。

例えば、**プリスケーラ 1/P** を **1/8** を用いた場合に基準周波数  $f_r$  を **1MHz** として **プログラマブル デバイダ N** の値を **201, 202 - - -** と動かしても出力周波数  $F_{out}$  は、基準周波数  $f_r = 1\text{MHz}$  ステップのシンセとならず、 $f_r \times 8 = 8\text{MHz}$  ステップとなってしまう。

もし、出力周波数  $F_{out}$  を  $f_r = 1\text{MHz}$  ステップとしたければ、基準周波  $f_r$  を **1/8** に **125KHz** にすればよいのだが、PLL の比較周波数  $f_r$  を小さくすることは PLL の **応答速度** や **ノイズ** 及び **スプリアス特性** などにとって好ましい方向ではなくなる。

では、これを改善するためにはと話は進んで行くのだが、このノートではここで終了とする。

このプリスケラ方式のメリットを生かしてかつ基準周波数  $f_r$  を小さくしないで済むプログラマブル デバイダ の方式が考案されている。

この方式は **デュアル・モジュラス・プリスケラ** または **パルス・スワロ** 方式と呼ばれている。

この動作等は、テクノート [PLLに用いるプログラマブル・デバイス](#) で解説！

---

## ■ 6. むすび

以上、**PLL (Phase Locked Loop)** の動作を [頭の中で描けるよう](#) に PLL の原理を、PLL を構成する回路の動作の解説を試みた。

また **周波数シンセサイザ PLL** としての基本動作、基本回路構成についても説明し、**プリスケラ方式** の PLL 周波数シンセサイザまで問題点を含めその概要を記した。

PLL 周波数シンセサイザ用 LSI の進展にともない、高周波の PLL 周波数シンセサイザ の設計も容易になりました。

そして、PLL 回路の安定性はもちろん周波数切換えスピード、低位相雑音、スプリアス抑圧度等の性能が重要視され性能向上が益々要求されてきている現在、その最高性能を引き出すには PLL の最適化設計が重要であり、それには PLL についてのしっかりとした基本知識が必要であることを感じる毎日です。

[PLL の基本動作 TOP へ](#)

Copyright(C) RF Design Note All Rights Reserved.  
URL : <http://gate.ruru.ne.jp/rfdn/>